

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Kenji ARAI et al. :
Serial No.: [NEW] : Attn: Applications Branch
Filed: September 25, 2003 : Attorney Docket No.: OKI.577
For: SEMICONDUCTOR INTEGRATED CIRCUIT HAVING UNIT CELLS

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants, in the above-identified application, hereby claim the priority date
under the International Convention of the following Japanese application:

Appln. No. 2002-353181 filed December 5, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: September 25, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 5日

出 願 番 号

Application Number:

特願2002-353181

[ST.10/C]:

[JP 2002-353181]

出 願 人

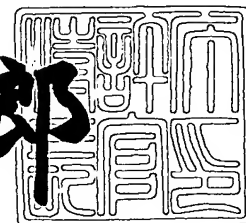
Applicant(s):

沖電気工業株式会社

2003年 4月22日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3029580

【書類名】 特許願

【整理番号】 OH003788

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822
H01L 21/82

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 新井 健嗣

【発明者】

 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

 【氏名】 菊池 秀和

【特許出願人】

 【識別番号】 000000295

 【氏名又は名称】 沖電気工業株式会社

【代理人】

 【識別番号】 100085419

 【弁理士】

 【氏名又は名称】 大垣 孝

【手数料の表示】

 【予納台帳番号】 012715

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001068

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 行列状に配置された複数のユニットセルを有し、論理ユニットセルからなる行とクロックユニットセルからなる行とを有するユニットセルブロックと、

前記論理ユニットセルからなる行に沿って設けられ、対応する行の前記論理ユニットセルに電源電位および接地電位を供給するための第 1 電源支線と、

前記クロックユニットセルからなる行に沿って設けられ、対応する行の前記クロックユニットセルに電源電位および接地電位を供給するための第 2 電源支線と

前記第 1 電源支線および前記第 2 電源支線の端部と接続された電源幹線と、
を備えることを特徴とする半導体集積回路。

【請求項 2】 前記ユニットセルブロックの列方向に沿って設けられ且つ前記電源幹線に端部が接続された、前記論理ユニットセルに電源電位および接地電位を供給するための第 3 電源支線と、

前記ユニットセルブロックの列方向に沿って設けられ且つ前記電源幹線に端部が接続された、前記クロックユニットセルに電源電位および接地電位を供給するための第 4 電源支線と、

さらに備えることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記電源幹線が、

前記第 1 電源支線の端部または前記第 1、第 3 電源支線の端部と接続された第 1 電源幹線と、

前記第 2 電源支線の端部または前記第 2、第 4 電源支線の端部と接続された第 2 電源幹線と、

を含むことを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】 前記第 2 電源幹線が供給する電源電位が、前記第 1 電源幹線が供給する電源電位よりも低いことを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】 前記クロックユニットセルに形成されたクロックドライバからクロックを入力して該クロックの反転信号を出力するために、他の前記クロックユニットセルに形成された反転ゲートと、

前記クロックおよび前記反転信号に同期して前記第 1 電源幹線の電源電位または接地電位を出力するために、前記論理ユニットセルに設けられた電位変換回路と、

を備えたレベルシフト回路を有することを特徴とする請求項 4 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばゲートアレイ等の半導体集積回路に関する。

【0002】

【従来の技術】

従来より、半導体集積回路では、一般に、内部動作の同期を取るためにクロックを用いている。クロックは、クロックドライバおよびクロック配線を介して、集積回路内の各論理回路等に供給される。

【0003】

各クロックドライバおよび各回路ブロックには、電源ラインおよびグラウンドラインによって電源電位および接地電位が供給される。本願では、電源ラインとグラウンドラインとを総称して、電源配線と記す。

【0004】

クロックドライバや電源配線に関する技術としては、例えば、以下の特許文献 1、2 が知られている。

【0005】

特許文献 1 の半導体集積回路では、電源配線が格子状に形成され、その中央付近にクロックドライバが配置されている（同文献の図 1 参照）。ここで、電源配線は、縦横に交差して配置された電源支線と、集積回路の外周に沿って配置された電源幹線とを備えている。

【 0 0 0 6 】

特許文献 2 の半導体集積回路も、特許文献 1 と同様、電源配線が格子状に形成されている。この例でも、電源配線は、縦横に交差して配置された電源支線と、集積回路の外周に沿って配置された電源幹線とを備えている。そして、電源幹線の直下に、クロックドライバが配置されている。

【 0 0 0 7 】

【特許文献 1】

特開平 7 - 2 4 0 4 6 8 号公報（第 3 ～第 4 頁、図 1 および図 2）

【特許文献 2】

特開 2 0 0 1 - 7 2 9 3 号公報（第 5 ～第 6 頁、図 1 ～図 3）

【 0 0 0 8 】

【発明が解決しようとする課題】

上述の特許文献 1、2 の半導体集積回路では、クロックドライバと回路ブロックとが、同じ電源配線を使用している。また、クロックドライバを形成する領域と論理回路等を形成する領域とは、同一ではないものの、近接している。このため、従来の半導体集積回路には、クロックドライバでノイズが発生した場合に、このノイズが電源配線を介して論理回路等に伝搬されてしまうという欠点があった。このノイズは、論理回路等の誤動作の原因になる。

【 0 0 0 9 】

今日では半導体集積回路の動作の高速化に対する要求が増大しているが、半導体集積回路の動作速度を向上させるためには、同期用クロックの周波数を高くする必要がある。しかし、クロックの周波数が高くなるほど、クロックドライバ内でノイズが発生し易くなる。このため、従来は、クロックドライバから論理回路等に伝搬されるノイズが、半導体集積回路の高速化を妨げる原因の 1 つになっていた。

【 0 0 1 0 】

加えて、従来の半導体集積回路には、動作速度を向上させるためにクロック周波数を高くすると、クロックドライバの消費電力が増大するという欠点もあった。

【 0 0 1 1 】

このような理由から、クロックドライバ内で発生したノイズが論理回路等に伝搬され難く且つ消費電力が小さい半導体集積回路が囑望されていた。

【 0 0 1 2 】

【課題を解決するための手段】

この発明に係る半導体集積回路は、行列状に配置された複数のユニットセルを有し、論理ユニットセルからなる行とクロックユニットセルからなる行とを有するユニットセルブロックと、論理ユニットセルからなる行に沿って設けられ、対応する行の論理ユニットセルに電源電位および接地電位を供給するための第1電源支線と、クロックユニットセルからなる行に沿って設けられ、対応する行のクロックユニットセルに電源電位および接地電位を供給するための第2電源支線と、第1電源支線および第2電源支線の端部と接続された電源幹線とを備える。

【 0 0 1 3 】

この発明では、第1電源支線には論理ユニットセルが接続され、第2電源支線にはクロックユニットセルが接続される。ここで、この発明では、クロックドライバを形成するためのユニットセルを「クロックユニットセル」と称し、一般の論理回路等を形成するためのユニットセルを「論理ユニットセル」と称する。第1電源支線の端部および第2電源支線の端部は、同じ電源幹線に接続されてもよいし、異なる電源幹線に接続されてもよい。第1電源支線の端部および第2電源支線の端部が同じ電源幹線に接続される場合、クロックユニットセルと論理ユニットセルとの間の配線長が長いので、配線抵抗や配線容量が大きくなり、したがってノイズが抑制される。一方、第1電源支線の端部および第2電源支線の端部が異なる電源幹線に接続される場合、第1電源支線と第2電源支線とは導通していないので、クロックユニットセルで発生したノイズが論理ユニットセルに伝搬されることはない。

【 0 0 1 4 】

【発明の実施の形態】

以下、この発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的

に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【 0 0 1 5 】

第 1 の実施の形態

以下、この発明の第 1 の実施の形態について、この発明をゲートアレイに適用した場合を例に採り、図 1 および図 2 を用いて説明する。

【 0 0 1 6 】

図 1 は、この実施の形態に係るゲートアレイのレイアウト構成を概念的に示す平面図である。また、図 2 は、図 1 の部分拡大図である。

【 0 0 1 7 】

図 1 に示されたように、この実施の形態に係るゲートアレイ 1 0 0 は、ユニットセルブロック 1 1 0 と、電源配線 1 2 0 と、I/O 回路 1 3 0、・・・とを備えている。

【 0 0 1 8 】

ユニットセルブロック 1 1 0 は、行列状に配置された 1 2 × 2 4 個のユニットセル U(1,1)～U(12,24)を備えている。

【 0 0 1 9 】

これらのユニットセル U(1,1)～U(12,24)のうち、1 行目、3 ～ 6 行目および 8 ～ 1 1 行目のユニットセルはすべて論理ユニットセルであり、他のユニットセルはクロックユニットセルである。ここで、論理ユニットセルとは、一般の論理回路等を形成するためのユニットセルである。また、クロックユニットセルとは、クロックドライバを形成するためのユニットセルである。

【 0 0 2 0 】

図 2 に示したように、各論理ユニットセル 2 1 0 は、4 個の pMOS トランジスタ 2 1 1 ～ 2 1 4 と、4 個の nMOS トランジスタ 2 1 5 ～ 2 1 8 とを備えている。これらの MOS トランジスタ 2 1 1 ～ 2 1 4、2 1 5 ～ 2 1 8 を適当に配線することにより、所望の論理回路等を得ることができる。クロックユニットセル 2 2 0 の内部構造も、論理ユニットセルと同様である。上述のように、論理ユニットセル 2 1 0 内の MOS トランジスタは一般の論理回路等の構成に使用され

、クロックユニットセル 2 2 0 内の MOS トランジスタはクロックドライバの構成に使用される。

【 0 0 2 1 】

論理ユニットセル 2 1 0 およびクロックユニットセル 2 2 0 の各 MOS トランジスタは、設計上全く同一であってもよいし、サイズ等が異なってもよい。

【 0 0 2 2 】

電源配線 1 2 0 (図 1 参照) は、行方向の電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2 と、列方向の電源支線 1 2 2 - 1 ~ 1 2 2 - 7 と、電源幹線 1 2 3 とを備えている。

【 0 0 2 3 】

行方向の電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2 のうち、電源支線 1 2 1 - 1, 1 2 1 - 3 ~ 1 2 1 - 6, 1 2 1 - 8 ~ 1 2 1 - 1 1 は、論理ユニットセル (すなわち 1 行目、3 ~ 6 行目および 8 ~ 1 1 行目のユニットセル) に電源電位および接地電位を供給するための電源支線である。また、行方向の他の電源支線 1 2 1 - 2, 1 2 1 - 7, 1 2 1 - 1 2 は、クロックユニットセル (すなわち 2, 7, 1 2 行目のユニットセル) に電源電位および接地電位を供給するための電源支線である。図 2 に示したように、各電源支線は、電源ライン 2 3 1, 2 4 1 とグラウンドライン 2 3 2, 2 4 2 とを含む。

【 0 0 2 4 】

列方向の電源支線 1 2 2 - 1 ~ 1 2 2 - 7 のうち、電源支線 1 2 2 - 1, 1 2 2 - 3, 1 2 2 - 5, 1 2 2 - 7 は、論理ユニットセルに電源電位および接地電位を供給するための電源支線である。また、列方向の他の電源支線 1 2 2 - 2, 1 2 2 - 4, 1 2 2 - 6 は、クロックユニットセルに電源電位および接地電位を供給するための電源支線である。行方向の電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2 と同様、列方向の電源支線 1 2 2 - 1 ~ 1 2 2 - 7 も、電源ラインとグラウンドラインとを含む (図 2 参照)。ここで、論理ユニットセル用の電源支線 1 2 2 - 1, 1 2 2 - 3, 1 2 2 - 5, 1 2 2 - 7 は、上述の電源支線 1 2 1 - 1, 1 2 1 - 3 ~ 1 2 1 - 6, 1 2 1 - 8 ~ 1 2 1 - 1 1 と、電源ラインどうしおよびグラウンドラインどうしでそれぞれ接続されている。同様に、クロックユニットセル用の

電源支線 1 2 2 - 2, 1 2 2 - 4, 1 2 2 - 6 は、上述の電源支線 1 2 1 - 2, 1 2 1 - 7, 1 2 1 - 1 2 と、電源ラインどうしおよびグランドラインどうしでそれぞれ接続されている。

【 0 0 2 5 】

電源幹線 1 2 3 は、ユニットセルブロック 1 1 0 の外周に沿って形成された、リング状の電源配線である。この電源幹線 1 2 3 も、電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2, 1 2 2 - 1 ~ 1 2 2 - 7 と同様、電源ラインとグランドラインとを含む（図 2 参照）。電源幹線 1 2 3 内の電源ラインおよびグランドラインには、それぞれ、図示しないパッドを介して、電源電位および接地電位が供給される。各電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2, 1 2 2 - 1 ~ 1 2 2 - 7 のうち、電源ラインの端部はそれぞれ電源幹線 1 2 3 内の電源ラインに接続され、グランドラインの端部はそれぞれ電源幹線 1 2 3 内のグランドラインに接続される。これにより、電源幹線 1 2 3 に入力された電源電位および接地電位が、各電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2, 1 2 2 - 1 ~ 1 2 2 - 7 に供給される。

【 0 0 2 6 】

I/O 回路 1 3 0, . . . は、半導体集積回路 1 0 0 の外周に沿って設けられている。これらの I/O 回路 1 3 0, . . . は、外部の回路との間で、信号やクロックの入出力を行う。I/O 回路 1 3 0 は、対応するユニットセルの信号線（図示せず）に接続される。I/O 回路 1 3 0 の内部構造は、周知のゲートアレイと同様であるため、省略する。

【 0 0 2 7 】

図 1 に示したように、この実施の形態に係るゲートアレイ 1 0 0 では、電源支線 1 2 1 - 1 ~ 1 2 1 - 1 2, 1 2 2 - 1 ~ 1 2 2 - 7 が、論理ユニットセル用のものとクロックユニットセル用のものとに分けられている。このため、以下のような理由で、ノイズの影響を抑制することができる。

【 0 0 2 8 】

クロックユニットセル内のクロックドライバは、ノイズを発生する場合がある。このノイズは、当該クロックユニットセルに接続された電源支線（電源ラインおよびグランドライン）に出力される。上述のように、このノイズが、電源配線

1 2 0 を介して論理ユニットセルに達すると、論理ユニットセル内の回路が誤動作するおそれがある。

【 0 0 2 9 】

この実施の形態では、上述のように、クロックユニットセル用の電源支線と論理ユニットセル用の電源支線とは、直接には接続されておらず、電源幹線 1 2 3 を介して接続されている。したがって、クロックユニットセル用の電源支線に出力されたノイズは、電源幹線 1 2 3 を介して論理ユニットセル用の電源支線に達し、その後論理ユニットセルに入力される。このため、クロックユニットセルから出力されたノイズが論理ユニットセルに入力されるまでの電源配線の伝搬経路が従来の場合（上記特許文献 1、2 参照）よりも長くなる。ここで、電源配線上を伝搬するノイズの大きさは、この電源配線の抵抗や容量のために低減される。この実施の形態のゲートアレイ 1 0 0 では、従来の集積回路よりもノイズの伝搬経路が長くなる分だけ、配線抵抗や配線容量も大きくなる。したがって、この実施の形態によれば、論理ユニットセルに入力されるノイズを従来の集積回路よりも小さくすることができる。

【 0 0 3 0 】

加えて、この実施の形態のゲートアレイ 1 0 0 では、クロックユニットセル用の電源支線を伝搬するノイズが論理ユニットセル用の電源支線に達するためには、必ず電源幹線 1 2 3 を通過する必要がある。上述のように、電源幹線 1 2 3 には、電源パッドを介して電源電位および接地電位が直接印加されている。したがって、電源幹線 1 2 3 は、電源支線と比較して、電位が変動し難い。このため、ノイズは、電源幹線 1 2 3 を通過する際に、抑制される。

【 0 0 3 1 】

以上説明したように、この実施の形態に係るゲートアレイ 1 0 0 によれば、ノイズが伝搬する電源配線の距離が長くなるように構成されたこと、および、このノイズが電源幹線を必ず通過するように構成されたことにより、電源配線 1 2 0 を介してクロックユニットセルから論理ユニットセルに伝搬するノイズを低減することができる。したがって、論理ユニットセル内の回路が誤動作し難くなるので、ゲートアレイの動作速度を高速化することが容易になる。

【 0 0 3 2 】

第 2 の実施の形態

次に、この発明の第 2 の実施の形態について、この発明をゲートアレイに適用した場合を例に採り、図 3 ～図 6 を用いて説明する。

【 0 0 3 3 】

図 3 は、この実施の形態に係るゲートアレイの構成を概念的に示す平面図である。図 3 において、図 1 と同じ符号を付した構成要素は、それぞれ図 1 の場合と同じものを示している。

【 0 0 3 4 】

図 3 から解るように、この実施の形態に係るゲートアレイ 3 0 0 は、2 系統の電源幹線 3 1 0、3 2 0 を備えている。

【 0 0 3 5 】

電源幹線 3 1 0 は、論理ユニットセル用の電源支線 1 2 1 - 1、1 2 1 - 3 ～ 1 2 1 - 6、1 2 1 - 8 ～ 1 2 1 - 1 1、1 2 2 - 1、1 2 2 - 3、1 2 2 - 5、1 2 2 - 7 に、電源電位および接地電位を供給する。電源幹線 3 1 0 は、リング状の電源配線であり、ユニットセルブロック 1 1 0 の外周に沿って形成されている。この電源幹線 3 1 0 は、第 1 の実施の形態の電源幹線 1 2 3 と同様、電源ラインとグラウンドラインとを含む。電源幹線 3 1 0 の電源ラインは論理ユニットセル用電源支線の電源ラインにそれぞれ接続され、また、電源幹線 3 1 0 のグラウンドラインは論理ユニットセル用電源支線のグラウンドラインにそれぞれ接続される。電源幹線 3 1 0 内の電源ラインおよびグラウンドラインには、それぞれ、図示しないパッドを介して、電源電位および接地電位が供給される。

【 0 0 3 6 】

一方、電源幹線 3 2 0 は、クロックユニットセル用の電源支線 1 2 1 - 2、1 2 1 - 7、1 2 1 - 1 2、1 2 2 - 1、1 2 2 - 2、1 2 2 - 4、1 2 2 - 6 に、電源電位および接地電位を供給する。電源幹線 3 2 0 は、リング状の電源配線であり、電源幹線 3 1 0 の外周に沿って形成されている。この電源幹線 3 2 0 は、電源幹線 3 1 0 や第 1 の実施の形態の電源幹線 1 2 3 と同様、電源ラインとグラウンドラインとを含む。電源幹線 3 2 0 の電源ラインはクロックユニットセル用

電源支線の電源ラインにそれぞれ接続され、また、電源幹線 3 2 0 のグラウンドラインはクロックユニットセル用電源支線のグラウンドラインにそれぞれ接続される。電源幹線 3 2 0 内の電源ラインおよびグラウンドラインには、それぞれ、図示しないパッドを介して、電源電位および接地電位が供給される。

【 0 0 3 7 】

このように、この実施の形態に係るゲートアレイ 3 0 0 では、論理ユニットセル用の電源配線と、クロックユニットセル用の電源配線とが、完全に分離している。そして、電源幹線 3 1 0, 3 2 0 には、図示しないパッドを介して、個別に電源電位および接地電位が供給される。したがって、クロックユニットセルで発生したノイズが論理ユニットセルに伝搬するおそれがない。

【 0 0 3 8 】

この実施の形態では、電源幹線 3 2 0 の電源ラインに供給される電源電位を、電源幹線 3 1 0 の電源ラインに供給される電源電位よりも低い値に設定する。電源幹線 3 2 0 の電源電圧を低くすることにより、クロックユニットセルにおける漏れ電流および充放電流を低減することができるので、ゲートアレイ 3 0 0 の消費電力を低減することが可能になる。

【 0 0 3 9 】

電源幹線 3 2 0 の電源電圧を低く設定した場合、クロックユニットセルから論理ユニットセルに供給されるクロックのハイレベル電位を変換するためのレベルシフタが必要になる。図 4 は、クロックを説明するための図であり、(A) は回路ブロック図、(B) は信号波形図である。

【 0 0 4 0 】

図 4 (A) に示したように、クロック CLK 0 は、パッド 4 0 1 から入力され、複数(図 4 の例では 3 個)のクロックドライバ 4 0 2 - 1 ~ 4 0 2 - 3 を介して、レベルシフタ 4 0 3 に入力される。レベルシフタ 4 0 3 は、このクロック CLK 0 をクロック CLK 1 に変換して、論理回路 4 0 4 に供給する。

【 0 0 4 1 】

ここで、クロックドライバ 4 0 2 - 1 ~ 4 0 2 - 3 は、それぞれクロックユニットセルに形成される。このため、クロックユニットセルの電源電位を V 1 とす

ると、クロックドライバ402-1~402-3から出力されるクロックCLK0のハイレベル電位は、V1となる（図4（B）参照）。一方、論理回路404は、論理ユニットセルに形成される。したがって、論理ユニットセル404の電源電位をV2（ $V2 > V1$ ）とすると、論理回路に入力されるクロックCLK1のハイレベル電位はV2でなければならない。このため、この実施の形態では、レベルシフタ403を用いて、クロックのハイレベル電位を、V1からV2に変換する（図4（B）参照）。

【0042】

図5は、レベルシフタ403の一構成例を示す回路図である。

【0043】

図5に示したように、このレベルシフタ403は、論理ユニットセル内のMOSトランジスタ511~514からなる電位変換回路510と、クロックユニットセル内のMOSトランジスタ521、522からなる反転ゲート520とを備えている。

【0044】

電位変換回路において、pMOSトランジスタ511、512は、ソースで、論理ユニットセル用電源支線の電源ラインに接続される。したがって、pMOSトランジスタ511、512のソースには、電源電位V2が印加される。また、pMOSトランジスタ511のゲートには、pMOSトランジスタ512のドレインが接続される。同様に、pMOSトランジスタ512のゲートには、pMOSトランジスタ511のドレインが接続される。nMOSトランジスタ513のドレインは、pMOSトランジスタ511のドレインに接続される。また、このnMOSトランジスタ513のソースは、論理ユニットセル用電源支線のグラウンドラインに接続される。同様に、nMOSトランジスタ514のドレインはpMOSトランジスタ512のドレインに接続され、また、このnMOSトランジスタ514のソースは論理ユニットセル用電源支線のグラウンドラインに接続される。nMOSトランジスタ513のゲートには、クロックCLK0が入力される。一方、nMOSトランジスタ514のゲートには、クロックCLK0の反転値/ $\overline{\text{CLK0}}$ が入力される。

【 0 0 4 5 】 .

反転ゲート 5 2 0 において、pMOS トランジスタ 5 2 1 のソースは、クロックユニットセル用電源支線の電源ラインに接続され、したがって、電源電位 V_1 が印加される。また、nMOS トランジスタ 5 2 2 は、ドレインで pMOS トランジスタ 5 2 1 のドレインに接続され、ソースでクロックユニットセル用電源支線のグラウンドラインに接続される。これらのトランジスタ 5 2 1, 5 2 2 のゲートは、クロック CLK 0 を入力する。これにより、反転ゲート 5 2 0 からは、クロック CLK 0 の反転値 / CLK 0 が出力される。

【 0 0 4 6 】

このような構成のレベルシフタ 4 0 3 において、クロック CLK 0 がローレベル（接地電位）のときには、nMOS トランジスタ 5 1 3 はオフし且つ nMOS トランジスタ 5 1 4 はオンする。そして、nMOS トランジスタ 5 1 4 がオンすることにより、pMOS トランジスタ 5 1 1 のゲート電位がローレベルになり、したがって、この pMOS トランジスタ 5 1 1 がオンする。このとき、nMOS トランジスタ 5 1 3 はオフしているので、pMOS トランジスタ 5 1 2 のゲート電位がハイレベルになり、したがって、この pMOS トランジスタ 5 1 2 はオフする。これにより、クロック CLK 1 の電位は、ローレベル（接地電位）になる。

【 0 0 4 7 】

一方、クロック CLK 0 がハイレベル（ V_1 ）のときは、nMOS トランジスタ 5 1 3 はオンし且つ nMOS トランジスタ 5 1 4 はオフする。そして、nMOS トランジスタ 5 1 3 がオンすることにより、pMOS トランジスタ 5 1 2 のゲート電位がローレベルになり、したがって、この pMOS トランジスタ 5 1 2 がオンする。このとき、nMOS トランジスタ 5 1 4 はオフしているので、クロック CLK 1 の電位は、ハイレベル（ V_2 ）になる。

【 0 0 4 8 】

このように、ハイレベル電位を V_1 から V_2 に変換するためには、pMOS トランジスタ 5 1 1, 5 1 2 のソースには電源電位 V_2 を印加し且つ pMOS トランジスタ 5 2 1 のソースには電源電位 V_1 を印加する必要がある。

【 0 0 4 9 】

ここで、電源電位が異なるトランジスタは、異なるウェルに形成する必要がある。したがって、図 5 に示したようなレベルシフト 4 0 3 を従来の半導体集積回路（上記特許文献 1、2 参照）に形成する場合には、半導体基板のレベルシフト形成領域に 2 種類のウェルを形成して、一方のウェルには p M O S トランジスタ 5 1 1、5 1 2 を、他方のウェルには p M O S トランジスタ 5 2 1 を設ける必要がある。このため、通常の技術でレベルシフトを形成する場合には、レベルシフト形成領域の面積が大きくなって、集積率の減少を招く。さらには、レベルシフトの個数や形成位置が固定されてしまい、設計の自由度が減少する。特に、ゲートアレイは、予め配置されたトランジスタ列を自由に配線することを可能にして T A T (Turn Around Time) を短縮することを目的とした集積回路であるため、レベルシフトの形成位置や形成個数の固定化は、大きな欠点となる。

【 0 0 5 0 】

これに対して、この実施の形態では、ユニットセルブロック 1 1 0 を論理ユニットセルからなる行とクロックユニットセルからなる行とに分けて形成しており、したがって、隣接する論理ユニットセルおよびクロックユニットセルを 1 個ずつ用いてレベルシフト 4 0 3 を形成することができる。このため、この実施の形態によれば、レベルシフト 4 0 3 の形成位置や形成個数は限定されず、また、T A T を悪化させることもない。

【 0 0 5 1 】

以上説明したように、この実施の形態に係るゲートアレイ 3 0 0 によれば、電源幹線 3 1 0、3 2 0 を設けて論理ユニットセル用の電源配線とクロックユニットセル用の電源配線とを完全に分離したので、クロックユニットセルで発生したノイズが論理ユニットセルに伝搬することがない。したがって、論理ユニットセル内の回路が誤動作し難くなるので、ゲートアレイの動作速度を高速化することが容易になる。

【 0 0 5 2 】

加えて、論理ユニットセル用の電源配線とクロックユニットセル用の電源配線とを完全に分離したことにより、クロックユニットの電源電位を論理ユニットの

電源電位よりも低くすることができ、したがって、ゲートアレイ 3 0 0 の消費電力を低減することができる。

【 0 0 5 3 】

さらに、論理ユニットセルとクロックユニットセルを 1 個ずつ用いてレベルシフタを形成することとしたので、ゲートアレイ 3 0 0 の設計の自由度や T A T を損なうことがない。

【 0 0 5 4 】

なお、この実施の形態では、クロックユニットの電源電位を論理ユニットの電源電位よりも低く設定したが、同じ電位に設定してもよい。この場合も、クロックユニットセルで発生したノイズが論理ユニットセルに伝搬することがないので、ゲートアレイの動作速度を高速化することが容易になる。但し、この場合には、クロック用のレベルシフタ 4 0 3 を形成する必要はない。

【 0 0 5 5 】

上述の第 1、第 2 の実施の形態では、行方向および列方向の電源支線を設ける例を説明したが、行方向の電源支線のみを有するゲートアレイにも、この発明を適用することが可能である。

【 0 0 5 6 】

【発明の効果】

以上詳細に説明したように、本発明によれば、クロックドライバ内で発生したノイズが回路ブロックに伝搬され難くい半導体集積回路、高速動作が可能な半導体集積回路を得ることができる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る半導体集積回路のレイアウト構成を概念的に示す平面図である。

【図 2】

図 1 の部分拡大図である。

【図 3】

第 2 の実施の形態に係る半導体集積回路のレイアウト構成を概念的に示す平面

図である。

【図 4】

第 2 の実施の形態で使用するクロックを説明するための図であり、（A）は回路ブロック図、（B）は信号波形図である。

【図 5】

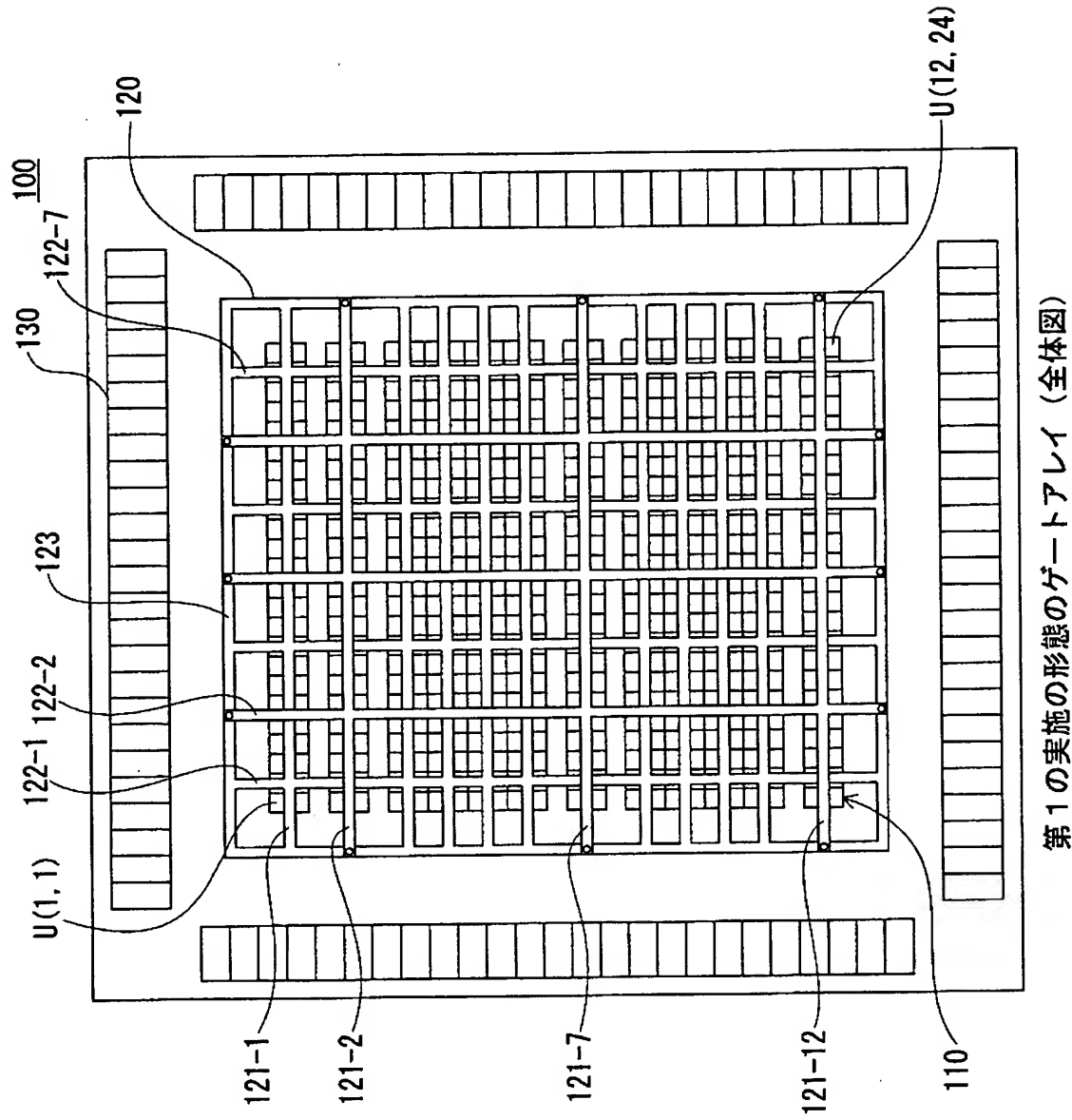
レベルシフタの構成例を示す回路図である。

【符号の説明】

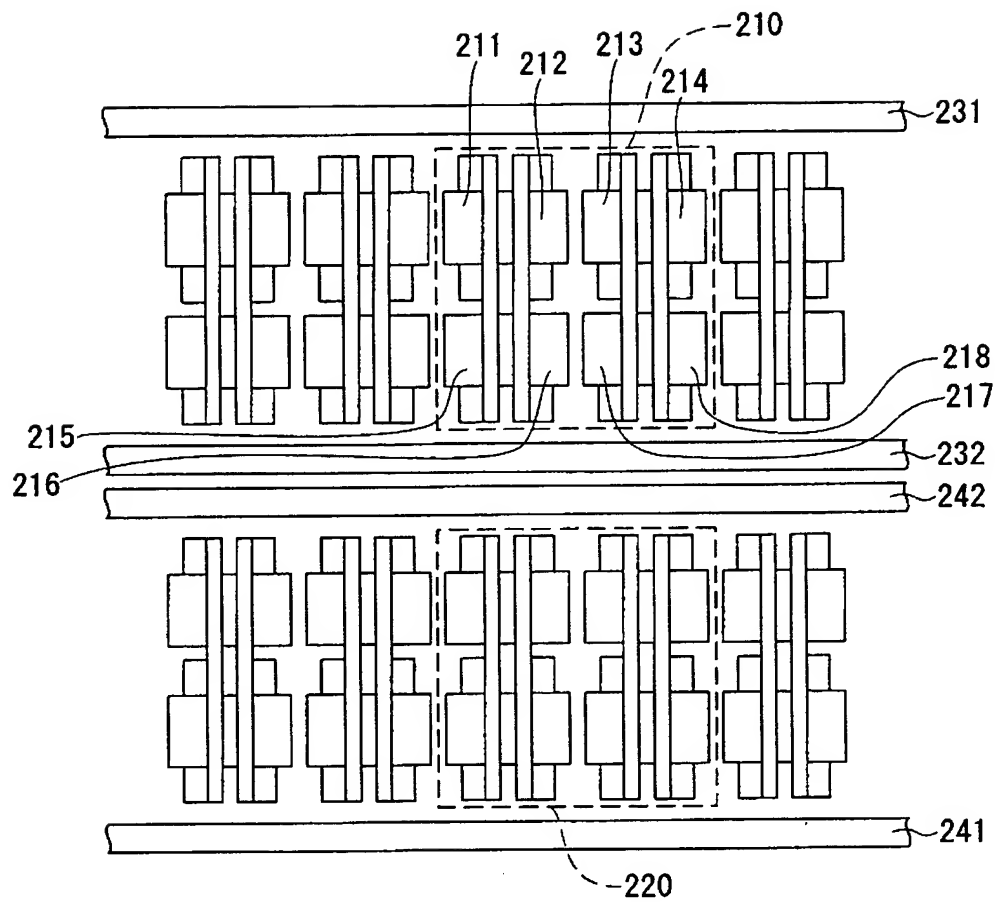
- 1 0 0 ゲートアレイ
- 1 1 0 ユニットセルブロック
- 1 2 0 電源配線
- 1 3 0 I/O回路
- U(1,1)～U(12,24) ユニットセル
- 1 2 1 - 1 ～ 1 2 1 - 1 2 行方向電源支線
- 1 2 2 - 1 ～ 1 2 2 - 7 列方向電源支線
- 1 2 3 電源幹線

【書類名】 図面

【図 1】

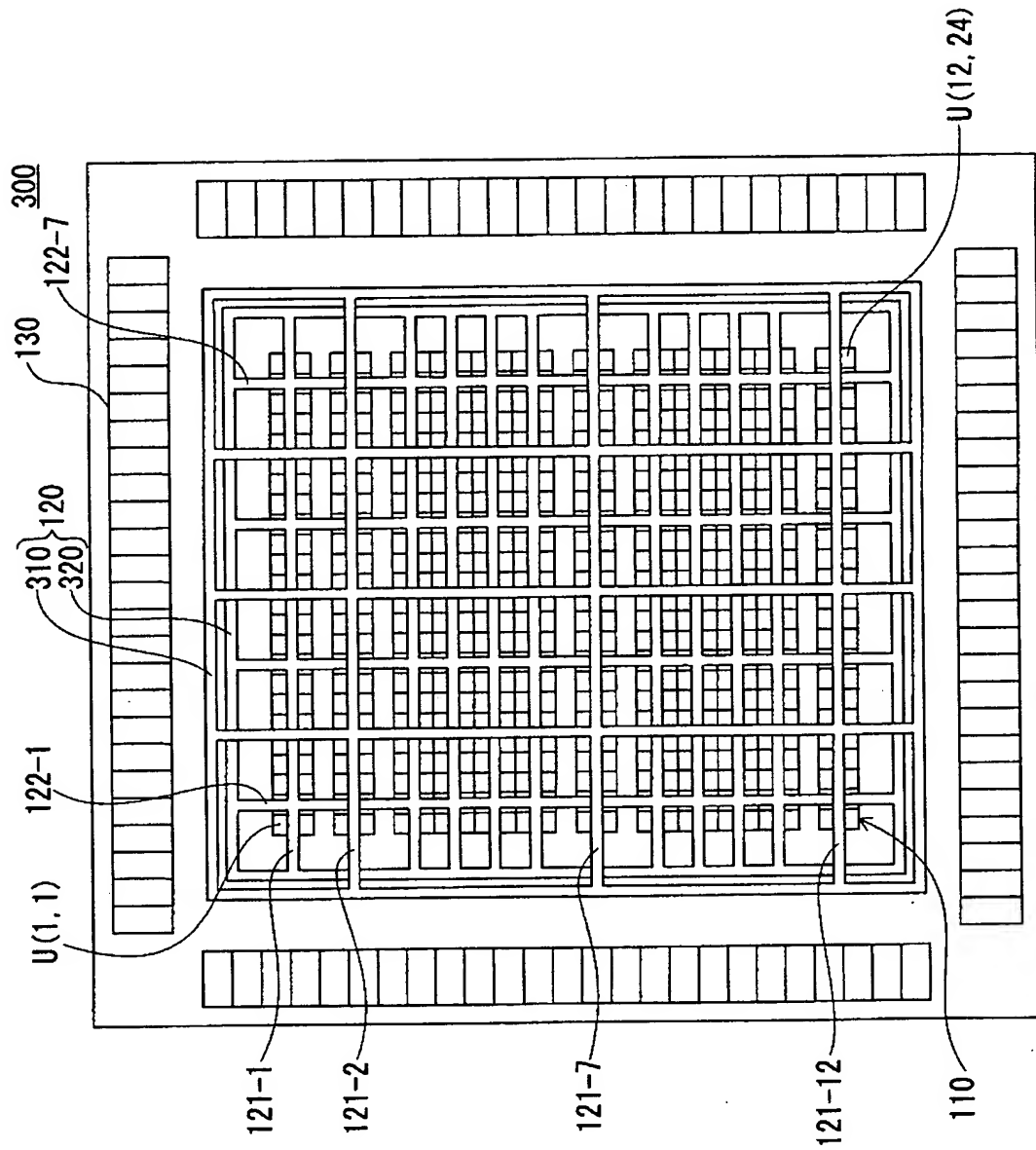


【図 2】



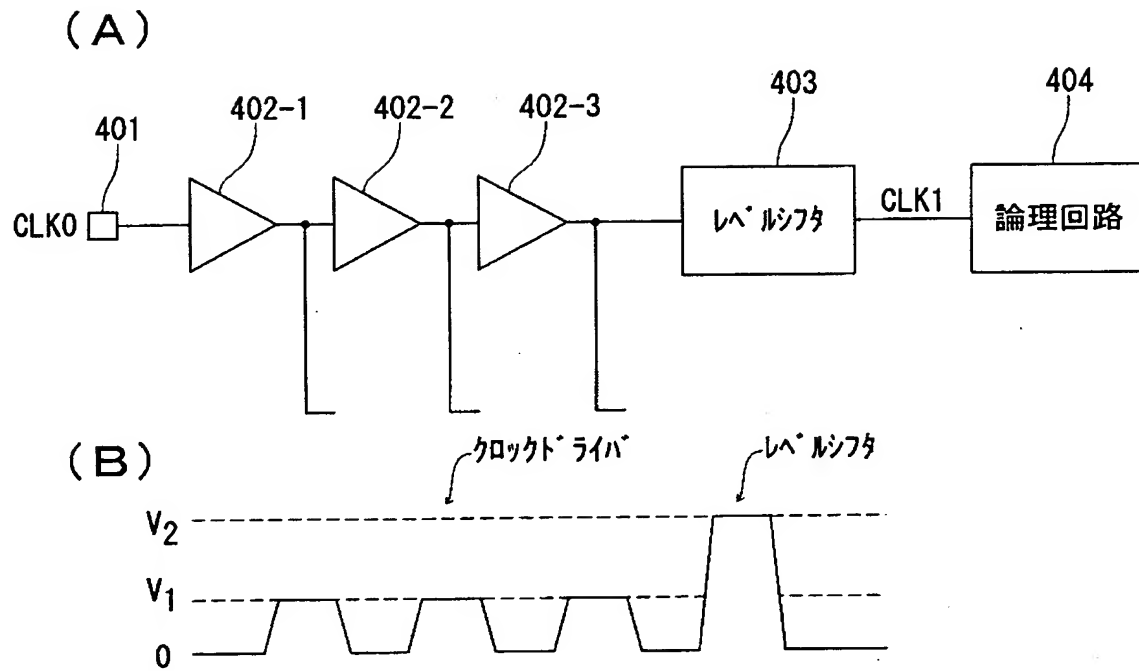
第 1 の実施の形態のゲートアレイ（部分拡大図）

【図 3】



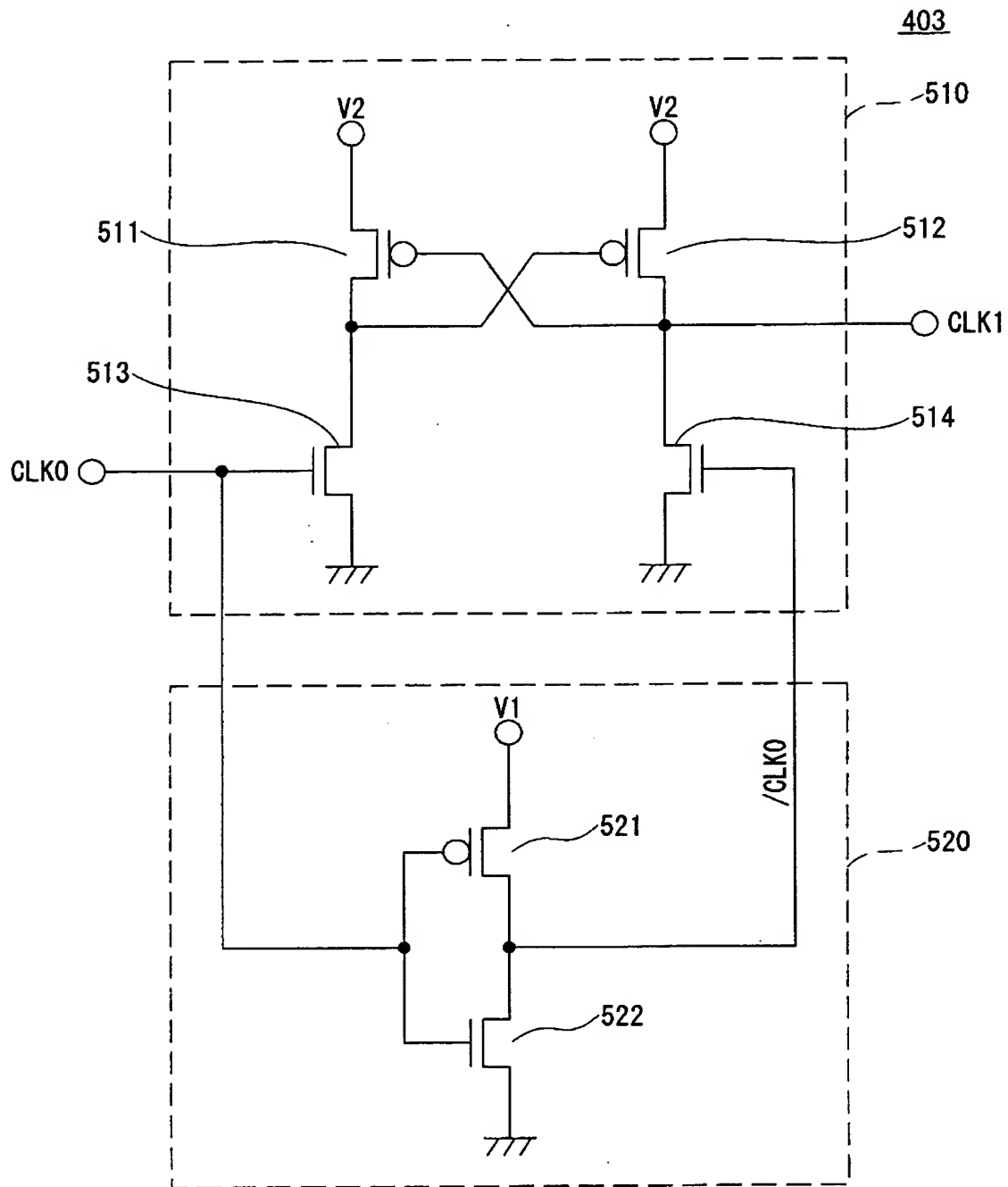
第 2 の実施の形態のゲートアレイ

【図 4】



第 2 の実施の形態のクロック

【図 5】



レベルシフタ

【書類名】 要約書

【要約】

【課題】 電源配線を介してクロックユニットセルから論理ユニットセルに伝搬されるノイズを低減する。

【解決手段】 行列状に配置されたユニットセル $U(1,1) \sim U(12,24)$ のうち、1行目、3～6行目および8～11行目を論理ユニットセルのみで構成し、且つ、他の行をクロックユニットセルのみで構成する。論理ユニットセル行に対応する電源支線121-1, 121-3～121-6, 121-8～121-11と、クロックユニットセル行に対応する電源支線121-2, 121-7, 121-12とは互いに直接には接続されず、電源幹線123を介してのみ接続される。クロックユニットセルから出力されたノイズが論理ユニットセルに入力されるまでの電源配線距離が長くなり、したがって、この電源配線の抵抗や容量によるノイズ抑制効果が大きくなる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-353181
受付番号	50201839662
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年12月 6日

<認定情報・付加情報>

【提出日】	平成14年12月 5日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社